T S1/5/1

1/5/1
DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

03029588
CONTROL OF MATRIX DISPLAY SCREEN AND APPARATUS FOR IMPLEMENTING THE SAME

PUB. NO.: 02-005088 [JP 2005088 A]
PUBLISHED: January 09, 1990 (19900109)
INVENTOR(s): JIYAN KUROODO BOODAN
DENISU SARASAN
APPLICANT(s): COMMISS ENERG ATOM [000984] (A Non-Japanese Company or Corporation), FR (France)
APPL. NO.: 01-031237 [JP 8931237]
FILED: February 13, 1989 (19890213)
PRIORITY: 8801741 [FR 881741], FR (France), February 15, 1988 (19880215)
INTL CLASS: [5] G09G-003/36; G02F-001/133
JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)
JAPIO KEYWORD:R011 (LIQUID CRYSTALS)
?

Method to control a matrix display screen and device for implementation of said method

Patent Number: US5032832
Publication date: 1991-07-16
Inventor(s): SARRASIN DENIS (FR); CLERC JEAN-FREDERIC (JP)
Applicant(s): COMMISSARIAT ENERGIE ATOMIQUE (FR)
Requested Patent: JP2005088
Application Number: US19890310340 19890214
Priority Number(s): FR19880001741 19880215
IPC Classification: G09G3/34
EC Classification: G09G3/22, G09G3/36C
Equivalents: DE68907942D, DE68907942T, EP0329528, B1, B2, FR2627308

Abstract

Method for controlling a matrix display screen enabling its contrast to be adjusted as regards a liquid crystals screen and its luminosity as regards a fluorescent micropoints screen, said method consisting of periodically applying line conductors addressing signals V1 having for a certain period a value Vmax into an absolute value to be applied to column conductors of control signals. Addressing signals are applied to the line conductors, the durations of said signals having a value Vmax and are partially recovered for two consecutive lines.

Data supplied from the **esp@cenet** database - I2

⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平2−5088

⑤1Int. Cl.[5]	識別記号	庁内整理番号	⑬公開　平成2年(1990)1月9日
G 09 G 3/36		8621−5C	
G 02 F 1/133	5 4 5	8708−2H	

審査請求　未請求　請求項の数 3　(全9頁)

⑤4発明の名称　マトリクスデイスプレイスクリーンの制御方法およびその実施装置

⑳特　願　平1−31237
㉒出　願　平1(1989)2月13日
優先権主張　㉜1988年2月15日㉝フランス(FR)㉛88 01741

⑦2発明者　ジヤン・クロード・ボーダン　フランス国、38120　サン−エグレヴ、リユ・カシミール・ブレニエ　7
⑦2発明者　デニス・サラサン　フランス国、38140　リヴ−シユール−フユール、リユ・デイ・グラン−フランソワ　28
⑦1出願人　コミツサレ・ア・レナジイ・アトミツク　フランス国、75015　パリ、リユ・ド・ラ・フエデラシオン　31／33
⑦4代理人　弁理士　佐々木　清隆　外3名

明　細　書

1.　発明の名称

マトリクスデイスプレイスクリーンの制御方法およびその実施装置

2.　特許請求の範囲

(1)行導体と列導体からなるマトリクスデイスプレイスクリーンの制御方法において、

一定期間だけ絶対値として値Vmaxを有するアドレッシング信号を前記行導体に周期的に印加し、

前記列導体に制御信号を印加し、前記アドレッシング信号が前記行導体に印加され、或る値を有する前記信号の周期が2つの連続する行にわたつて部分的に重なり合せられることを特徴とするマトリクスデイスプレイスクリーンの制御方法。

(2)前記アドレッシング信号が値Vmaxを有する周期は調整可能であることを特徴とする請求項1に記載のマトリクスデイスプレイスクリーンの制御方法。

(3)一定期間だけ絶対値として値Vmaxを有するアドレッシング信号を行導体に周期的に印加し、列導体に制御信号を印加し、前記アドレッシング信号が前記行導体に印加され、或る値を有する信号の周期が2つの連続する行にわたつて部分的に重なり合せられる行導体と列導体からなるマトリクスデイスプレイスクリーンの制御方法の実施装置において、

行導体Liへの接続により接続されるアドレッシング回路A1で、iが$1 \leq i \leq M$であるような奇数の整数で、Mが行導体の数であり、

行導体Lpへの接続により接続されるアドレッシング回路A2で、pが$2 \leq p \leq M$であるような偶数の整数であり；

前記アドレッシング回路A2は、

出力Sp1へ信号を交付するクロック機能を実現する回路、

クロック機能を実現しかつ出力Sp4へ信号を交付する回路の出力Sp1へ入力Ep1を介して接続されるインターロック機能を実現する回路、

インターロック機能を実現する回路の出力Sp4に入力Ep4によつてそしてクロック機能を実現

しかつそれに接続された行導体Ｌｐに電圧を交付する回路の出力Ｓｐ１に入力Ｅｐ３によつて接続される制御回路を含み、

前記アドレッシング回路Ａ１が、

出力信号Ｓｉ１に信号を交付するクロック機能を実現する回路、

クロック機能を実現しかつ出力Ｓ１４に信号を交付する回路の出力Ｓｉ１に入力Ｅｉ１を介して接続されるインターロック機能を実現する回路、

インターロック機能を実現する回路の出力Ｓ14へ入力Ｅｉ４を介してかつクロック機能を実現しかつそれに接続された行導体Ｌｉに電圧を交付する回路の出力Ｓｉ１に入力Ｅｉ３を介して接続される制御回路を含み、そして前記アドレッシング回路Ａ２のインターロック機能を実現する回路はまた前記アドレッシング回路Ａ１のクロック機能を実現する回路の出力Ｓｉ１に入力Ｅｐ２を介して接続され、前記アドレッシング回路Ａ１のインタロック機能を実現する回路はまた前記アドレッシング回路Ａ２のクロック機能を実現する回路の

出力Ｓｐ１に入力Ｅｉ２を介して接続されることを特徴とするマトリクスデイスプレイスクリーンの制御方法の実施装置。

３　発明の詳細な説明

本発明は、液晶スクリーンに関してそのコントラストがかつ螢光微小点スクリーンに関してその発光効率が調整されることができるマトリクスデイスプレイスクリーンの制御方法およびこの方法の実施装置に関するものである。

とくに、本発明は固定またはアニメーションとして製作された画像の表示を許容する複合型のまたは非複合型のまたは同様な螢光微小点スクリーン（以下の説明ではＰＭＳと付す）の液晶表示装置の実施例に適用される。

種々の公知の型の方法がマトリクスデイスプレイスクリーンを制御するために存在している。

マトリクスデイスプレイスクリーンは行導体および横断する列導体を備えたデイスプレイセルからなり、該スクリーンの１つのピクセルはこれらの導体の各交差に関連づけられる。

このようなＰＭＳの記載は１９８７年１１月６日付のフランス特許出願第8715432号に現われている。１つのＰＭＳにおいて、行はグリッドにそして列はカソードに対応している。

液晶スクリーンに関して、デイスプレイ材料はデイスプレイセルに収容される。液晶スクリーンは複合または非複合で制御されることができる。

より詳細にかつ複合デイスプレイスクリーンに関して、行導体および列はセルの内壁にそれぞれ配置された列および行電極によつて構成され、１つのピクセル（画素）は１つの行電極および１つの列電極を重なり合せるための領域によつて画成される。

非複合デイスプレイスクリーンの場合において行（ライン）および列（コラム）導体はアドレッシング行および制御列によつて構成され、それらは例えば、セルの壁の１つに配置されかつトランジスタによつて点電極に接続され、１つの直流電極はセルの他壁に配置されている。この型のスクリーンのさらに他の例によれば、アドレッシング

行および制御列はそれぞれセルの内壁に配置され行はトランジスタによつて点電極に接続されかつ列は電極列に接続されている。これら最後の２つの場合において、１つのピクセルは１つの点電極を直流電極とまたは１つの列電極と重ね合せるための領域によつて画成される。

アドレッシング信号は種々の行導体に送られかつ制御信号は列導体に送られる。図示のために付与されかつ非限定的である１例が第１図に示されかつマトリクス液晶デイスプレイスクリーンが直接複合（多重）技術として知られる技術によつて制御される場合の信号を説明する。

簡単化のためかつ上述した説明を決して変更せずに、この技術はこの例において９個のピクセルすなわち３個の行導Ｌ１，Ｌ２，Ｌ３および３個の列導体Ｃ１，Ｃ２，Ｃ３を有するスクリーンに限定される。

行導体に印加される電圧Ｖ１はフレーム時間または走査時間として知られる期間Ｔと周期的である。各行導体に関して、電圧Ｖ１は行選択時間と

して知られる時間Ｔｓについての電圧Ｖｍａｘに等しく、そして例えば、時間Ｔの残部に関するこの時間Ｔｓを除いて、等である。各行はしたがつて連続的に時間Ｔｓの間中値Ｖｍａｘに持ち来たされる。第１Ａ図は行導体のアドレッシングサイクルを示す。第１Ｂ図は列導体に印加される制御電圧Ｖｃのシーケンス例を説明する。表示されるべきモチーフに依存して、列導体に印加される電圧は正または負となる。

行導体および列導体に印加される電圧の値は使用されるディスプレイの型に依存する。

行導体に印加される電圧が列導体に印加される電圧と位相が同じであるとき、それらの交差に対応するピクセルは消される（例えば、黒）。２つの電圧が反対位相であるならば、当該ピクセルは点灯される（例えば、白）。

行Ｌ１はそれがＴｓの間中Ｖｍａｘに持ち来たされるとき他の方法で選択されるとき、列Ｃ１上の電圧は当該例において正である。２つの列および行電圧は同位相でありそして列導体Ｃ１との行導

体Ｌ１の交差に対応するピクセルは黒である。行Ｌ２が選択されるとき、列Ｃ１上の電圧は当該例において負である。２つの行および列電圧は反対位相でありそして列導体Ｃ１との行導体Ｌ２の交差に対応するピクセルは白である。各ピクセルの状態は全く同じに引き出される。

第１Ｃ図は第１Ａ図および第１Ｂ図について提案された行および列電圧用のスクリーンのディスプレイを示す。Ｎを付したピクセルは黒でかつＢを付したピクセルは白である。

付与された情報の表示に関してかつ各々対応する周期Ｔに対して、行および列電圧は電の平均値の信号をディスプレイ材料に単に印加するように逆にされた極性を有している。

非複合の液晶型スクリーンまたはＦＭＳの場合において、行導体の選択信号は第１Ａ図に示された選択信号と同一であるが、それらは極性逆転を受けない。他方において、列導体に印加された信号は負または正の極性からなることができ、それらの大きさは使用される光電効果に要求される電

圧に単に依存する。

すべての場合において、行選択時間ＴｓはＭが行導体の合計数でかつＴがフレーム時間である場合に式Ｔｓ＝Ｔ／Ｍによつて選択されるような行導体の数に依存する。理解されることは、Ｍは選択時間Ｔｓがより短かいときより増大することである。

複合率ＴＭはフレーム時間Ｔと１つの行導体の選択時間Ｔｓとの間の比であるように定義される。

$$TM = T / Ts$$

公知のスクリーンに関して、ＴＭ＝Ｍが確立される。

行導体の数が増加すると、複合率はこの増大に追随しかつ時間Ｔｓは液晶スクリーンのコントラストおよびＦＭＳの発光効率の減少の結果として減少する。

液晶とともにマトリクスディスプレイスクリーンに現在使用されている行の数は約百である。したがつて、この数は、例えば、ビデオレコーダの出力において約２８０に等しい利用可能なビデオ

行信号の数よりかなり低い。

本発明は、コントラストまたは発光効率の如何なる損失も結果として生ずることなしに、または同様に改善しているコントラストまたは発光効率の従来技術のスクリーンの行数に等しい行数により、多数の行の使用を許容するマトリクスディスプレイスクリーンを制御するための方法を提案する。

この改良は眼の生理機能に関連づけられる現象から独立しては解釈されることができず、それはフレーム時間に関してスクリーンに収容された情報の平均的作用を対応する。

この方法において、隣接する行導体の選択時間は重ね合せられることができる。重ね合せ調整はグラフイックまたはテキストモードにおいてまたはアニメーションに製作された画像を表示するためのビデオモードにおいてスクリーンの使用を可能にする。第１の場合には、重ね合せはゼロかまたは低くなければならず、コントラストまたは発光効率は制限されるが、有効な解像度はその場合

に最大である。第2の使用の場合において、高い数の行はスクリーン上のモザイクの出現を回避し、これは眼に不愉快であることが判る。重ね合せは強力なコントラストまたは発光効率を得るために2つの隣接する行の選択時間の半分まで拡げることができる。その場合に有効な解像度は減じられるが、これは逆にアニメーションに製作された画像（自然画像）に影響を及ぼさない。

この方法によつて、もしも従来技術に関連する例が参照されるならば、複合率ＴＭはそこで行導体の数より少ないかまたはそれに等しい。この等しい複合率において、それゆえ行導体の数を増大しかつしたがつてスクリーンのコントラストまたは発光効率を改善することができる。

より詳細には、本発明の目的は、一定期間だけ絶対値として値Ｖmaxを有するアドレッシング信号を行導体に周期的に印加し；列導体に制御信号を印加し、アドレッシング信号が行導に印加され或る値を有する信号の周期が2つの連続する行にわたつて部分的に重なり合せられることからなる

行導体および列導体からなるマトリクスディスプレイスクリーンの制御方法を提供することにある。

この制御方法の他の特徴によれば、アドレッシング信号Ｖ1が値Ｖmaxを有する周期が調整可能である。

本発明のさらに他の目的は、ディスプレイスクリーンの制御方法の実施装置を提供することにある。この装置は、行導体Ｌiへの接続により接続されるアドレッシング回路Ａ1で、iが1≦i≦Ｍであるような奇数の整数で、Ｍが行導体の数であり；そして行導体Ｌpへの接続により接続されるアドレッシング回路Ａ2で、pが2≦p≦Ｍであるような偶数の整数であることを含んでいる。

アドレッシング回路Ａ2は、出力Ｓp1へ信号を交付するクロック機能を実現する回路；クロック機能を実現しかつ出力Ｓp4へ信号を交付する回路の出力Ｓp1へ入力Ｅp1を介して接続されるロッキング（インターロック）機能を実現する回路；およびインターロック機能を実現する回路の出力Ｓp4に入力Ｅp4を介してかつクロック

機能を実現しかつそれに接続された行導体Ｌpに電圧を交付する回路の出力Ｓp1に入力Ｅp3を介して接続される制御回路を含んでいる。

アドレッシング回路Ａ1はアドレッシング回路Ａ2と同一構造を有している。アドレッシング回路Ａ1は、出力信号Ｓi1に信号を交付するクロック機能を実現する回路；クロック機能を実現しかつ出力Ｓi4に信号を交付する回路の出力Ｓi1に入力Ｅi1を介して接続されるロッキング（（インターロック）機能を実現する回路；およびインターロック機能を実現する回路の出力Ｓi4へ入力Ｅi4を介してかつクロック機能を実現しかつそれに接続された行導体Ｌiに電圧を交付する回路の出力Ｓi1に入力Ｅi3を介して接続される制御回路を含んでいる。アドレッシング回路Ａ2のロッキング（インターロック）機能を実現する回路はまた、アドレッシング回路Ａ2のクロック機能を実現する回路の出力Ｓi1に入力Ep2を介して接続され、アドレッシング回路Ａ1のロッキング（インターロック）を実現する回路は、

また、アドレッシング回路Ａ2のクロック機能を実現する回路の出力Ｓp1に入力Ｅi2を介して接続されている。

制御回路Ａ1およびＡ2は、例えば、それぞれロッキング機能を備えたシフトレジスタからなる。

この方法において、これらの制御回路はそれらのロッキング機能の状態、すなわち、

ロッキング電位に対応する基準電位に集合的にまたはシフトレジスタ内にそれぞれ存する論理レベルに応じて選択的に基準電位（状態０）かまたは行選択電位（状態１）に応じて制御回路に接続される。

このロッキング機能は英語では一般に「イネーブル」機能と呼ばれる。

本発明の他の特徴および利点は、添付図面を参照して、単に例示のために付与されかつ決して限定的ではない以下の説明を読むことから容易に明らかとなろう。

第2図は広範囲の重ね合せが選択時間の間で必要とされる3つの行導体Ｌ1，Ｌ2およびＬ3の

本発明による制御シーケンスを示す。選択時間Ｔｓ′がゼロの重ね合せに対応する選択時間Ｔｓの２倍に等しい場合であるこの制限の場合は、明らかに本発明による方法を示す。３つの行導体を簡単に説明するように手短かに示されたこの例はいずれにしてもこの方法によつて選択することができる行導体の数を制限しない。さらに、この例はまた、複合または非複合液晶スクリーンおよびＦＭＳに明らかに有効である。

行導体に印加される電圧Ｖ１は選択時間Ｔｓ′の間中電圧Ｖｍａｘに等しくかつフレーム時間の残部の間中Ｖｍａｘ以下である（それは例えばゼロである）。

フレーム用の合計書込み時間は（Ｍ×Ｔｓ）＋（Ｔｓ′－Ｔｓ）に等しい。

Ｍは行の合計数、Ｔｓは２つのゼロ行導体の選択時間の間の重なり合せに対応する行導体の選択時間、Ｔｓ′は行導体の有効選択時間である。この書込み時間は時間Ｔｓ′－Ｔｓのフレーム時間Ｔより大きいかまたはそれに等しく、時間（Ｔｓ′－

Ｔｓ）はビデオ信号が如何なる情報も搬送しない時間から取られ、この時間はフレーム復帰時間として一般に知られている。

行導体の選択時間の延長および重なり合せは１つの行導体から他の行導体への発光信号の平均化を結果として生じる。スクリーンの平均輝度は改善されかつスクリーンの表示画像の輪郭は薄げられる。

第３図は本発明による方法に使用されることができる装置を示す。装置は行導体Ｌｉへの接続により接続されるアドレッシング回路Ａ１（ｉは１≦ｉ≦Ｍであるような奇数の整数である）および行導体Ｌｐへの接続により接続されるアドレッシング回路Ａ２（ｐは２≦ｐ≦Ｍであるような偶数の整数である）を含んでいる。アドレッシング回路Ａ２は出力Ｓｐ１に信号を交付するクロック機能を実現する回路１０、およびクロック機能回路の出力Ｓｐ１に入力Ｅｐ１を介して接続されかつ出力Ｓｐ４に信号を交付する「イネーブル」機能を実現する回路１２を含んでいる。「イネーブル」

機能は基準電位（またはロッキング電位）に接続された回路の出力をインターロックし、基準電位は、例えばゼロである。この手段により、行導体の選択時間が調整される。本発明による装置に印加されたこのような機能の実施例の説明は後述される。アドレッシング回路Ａ２はまた、「イネーブル」機能を実現する回路１２の出力Ｓｐ４に入力Ｅｐ４を介しておよびクロック機能を実現しかつそれに接続された奇数の数の行導体Ｌｐに電圧Ｖ１を交付する回路１０の出力Ｓｐ１に入力Ep3を介して接続される偶数「イネーブル」機能を備えたシフトレジスタによつて形成される制御回路１４を含んでいる。

アドレッシング回路Ａ１はアドレッシング回路Ａ２と同一の構造を有する。その接続は回路Ａ２の接続の添え字「ｐ」（偶数）の代りに添え字「ｉ」（奇数）に割り当てられ、回路１１はクロック機能を実現する回路を同等物として有する奇数クロック機能を実現し、奇数「イネーブル」機能を実現する回路およびアドレッシング回路Ａ１

の制御回路はそれぞれ基準１４および１５を支持しかつ同等物として回路１２および１３を有している。制御回路１５は奇数「イネーブル」機能を備えたシフトレジスタによつて形成される。

さらに、「イネーブル機能を実現する回路１２はまた、入力Ｅｐ２を介してクロック機能を実現する回路１１の出力Ｓｉ３に接続される。同様に「イネーブル」機能を実現する回路１３は入力Ｅｉ２を介して偶数クロック機能を実現する回路１０の出力Ｓｐ３に接続される。

アドレッシング回路を構成する要素の種々の出力に交付される信号のタイムチャートは第４図に示される。

偶数クロック機能を実現する回路１０の出力Ｓｐ１に交付される信号２０は偶数クロック信号の各パルス後に得られるシフトレジスタ１４の種々のポケットのそれぞれの状態によつて付随されることが示される。信号２１はこの回路の出力Ｓｉ１に奇数クロック回路１１によつて交付される。これらの信号は奇数クロック信号の各パルス

後得られるシフトレジスタ１５の種々のポケットのそれぞれの状態によつて付随される。

第４図は３つの偶数の数が付された行導体Ｌ２，Ｌ４およびＬ６および３つの奇数の数が付された行導体Ｌ１，Ｌ３およびＬ５に電圧Ｖ１を交付するシフトレジスタの状態を例示する。各クロックパルスについて、シフトレジスタの出力において電圧Ｖ１＝Ｖｍａｘに対応する状態１はレジスタ内に１ポケットだけ前進し、状態０は、例えば、電圧Ｖ１＝０に対応する。偶数の数を付した行導体は電圧Ｖ１＝Ｖｍａｘを印加することにより連続してアドレスされる。同じことは奇数の数を付した行導体に適用される。信号２２，２３は奇数および偶数の「イネーブル」機能の出力Ｓｐ４およびＳｉ４によつてそれぞれ交付される。これらは周期的なストローブの形を有する電圧である。例えば、ストローブの高い状態は電圧Ｖ１＝Ｖｍａｘに対応しかつ低い状態は電圧Ｖ１＝０Ｖに対応する。信号２２と２３は位相がずらされ、この位相ずれは一定にとつており、奇数および偶数は交互にア

ドレスされる。

信号２５，２６，２７は行導体Ｌ１，Ｌ２およびＬ３の接続にシフトレジスタによつて交付される電圧Ｖ１に対応する。これはその周期がフレーム時間である周期的なストローブである。

この制御シーケンス例は行導体の選択時間の間の広範囲の重なり合せの場合に付与される。

提案の制御モードによれば、行Ｌｉをアドレスする回路Ａ１はレジスタ１５内に行があるのと同じ多くの論理レベル（１または０）を含んでいる。各瞬間において、論理レベルの１つのみが１にあり、他のすべてはゼロである。論理レベル１が、当該瞬間において、行Ｌｉに関連づけられるならば、クロック衝突後、それはシフトされかつ行Ｌｉ＋１に関連づけられる。

インターロック機能を備えたシフトレジスタは論理レベル１に対応する行のみを選択する。すなわちこの場合において「イネーブル」機能が、例えば高い状態を有するならばこの行を電位Ｖｍａｘに持ち来たしそして「イネーブル」機能が、例え

ば、低い状態を有するならばどの行も選択しない。「イネーブル」機能が低い状態にあるとき、すべての行はロッキング電位にある。「イネーブル」機能が高い状態にあるとき、１つの行（シフトレジスタにおいて論理レベル１と関連づけられる）が電位Ｖｍａｘにあり、他の行（シフトレジスタにおいて論理０に関連づけられる）がロッキング電位にある。回路Ａ２は同一機能を有する。

第５図は「イネーブル」機能を実現する回路12の例を示す。この回路１２はクロック機能を実現する２つの回路１０，１１によつて制御される。回路１２の入力Ｅｐ１およびＥｐ２はそれぞれクロック１０および１１の出力Ｓｐ１およびＳｉ１に接続される。この例は偶数の数が付された行導体のアドレッシング回路の「イネーブル」機能形成部に対応する。入力Ｅｐ１およびＥｐ２は事実上２つの可変容量単安定回路１６，１７のそれぞれの入力である。２つの単安定回路のそれぞれの出力Ｍｐ，Ｍｉは論理回路１８の２つの入力Ｐｐ，Ｐｉに接続される。この回路１８の出力は「イネ

ーブル」機能を実現する回路１２の出力Ｓｐ４である。

第６図は「イネーブル」機能が実現されるのを許容する種々の要素の出力から引き出される信号のタイムチャートである。

クロックパルス２８，２９は回路１２の入力Ｅｐ１およびＥｐ２へクロック機能１０，１１を実現する回路によつて交付される信号である。可変容量単安定回路１６，１７はそれぞれの幅がそれらの容量の値に依存する矩形信号３０，３１にこれらのパルスを変換する。

矩形信号３１のダウンリード前端は回路１２の出力Ｓｐ４に送給される矩形信号３２の立上がりを制御し、そして矩形信号３０のダウンリード前端は矩形信号３２の立ち下がりを制御する。かくして、信号３０，３１の幅は出力Ｓｐ４に送給される矩形信号の幅を制御する。単安定回路１６，１７の可変容量の値を調整することにより、したがつて出力Ｓｐ４に送給される信号の幅かつそれにより行導体の選択時間の間の重なり合せを決定

することができる。

回路１８は信号３０，３１からの信号３２の獲得を可能にする論理ゲートからなる公知の要素の完全なセットによつて形成される。

回路１３は２つの可変容量単安定回路および１つの論理回路から回路１２と同じ方法において実現され、単安定回路の入力はそれぞれ回路１０および１１に接続される。

信号３０′および３１′は回路１３の単安定回路の出力信号の例を示す。信号３０′および３１′は信号３０と同じ矩形信号でありかつそれぞれのクロックパルス２８，２９から得られる。信号３３は回路１２の出力Ｓｐ４に得られる信号３２を発生するための手段と同じ手段によつて回路１３の出力Ｓ１４に得られる合成矩形信号を示す。

これらの図は１つの行の選択時間の先行の行の選択時間および次の行の選択時間の重なり合せが一致することを示すが、もちろんそれらは異なつても良い。種々の重なり合せを実施するためには異なる存続時間の矩形信号を有する奇数ひよび偶

１３はインターロック（イネーブル）実現回路、１４，１５は制御回路である。

代理人　弁理士　佐々木清隆
（外３名）

数の「イネーブル」機能を有するだけで十分である。

4. 図面の簡単な説明

第１Ａ図、第１Ｂ図および第１Ｃ図はマトリクスデイスプレイスクリーンを制御するための従来の方法を示す説明図、

第２図は広範囲の重なり合せが選択時間の間に存在する３つの行導体を制御する本発明によるシーケンスを示す説明図、

第３図は本発明による方法が実施されることができる装置を示すブロック回路図、

第４図は本発明による装置の種々の要素によつて送給される信号のタイムチャート、

第５図はイネーブル機能の実施例を示す回路図、

第６図はイネーブル機能の実施を可能にする種々の要素によつて供給される信号のタイムチャートである。

図中、符号Ｌ１，Ｌ２，Ｌ３は行導体、Ｔｓ，Ｔｓ′は選択時間、Ａ１，Ａ２はアドレッシング回路、１０，１１はクロック機能実現回路、１２，

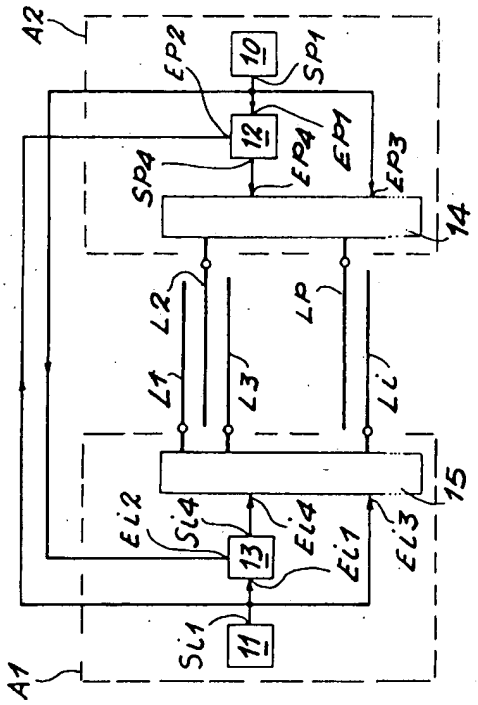


FIG. 3

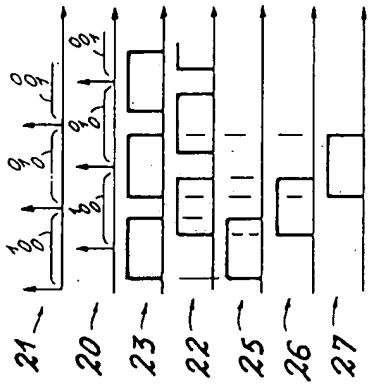


FIG. 4

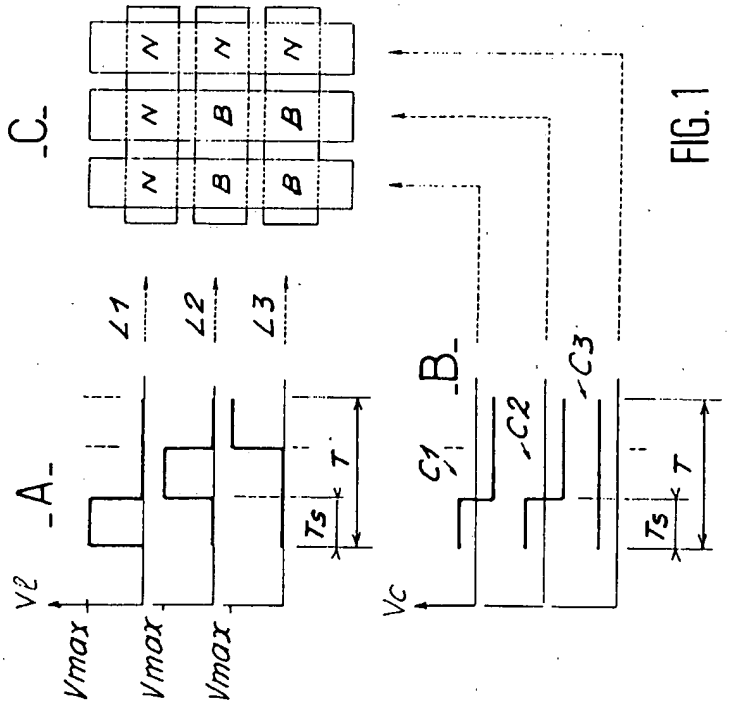


FIG. 1

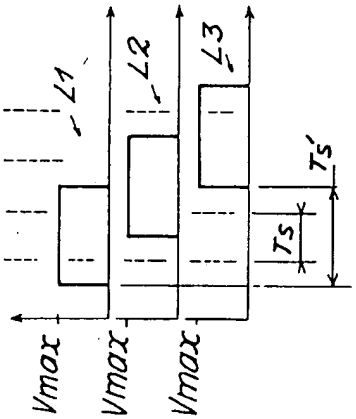


FIG. 2

FIG. 5

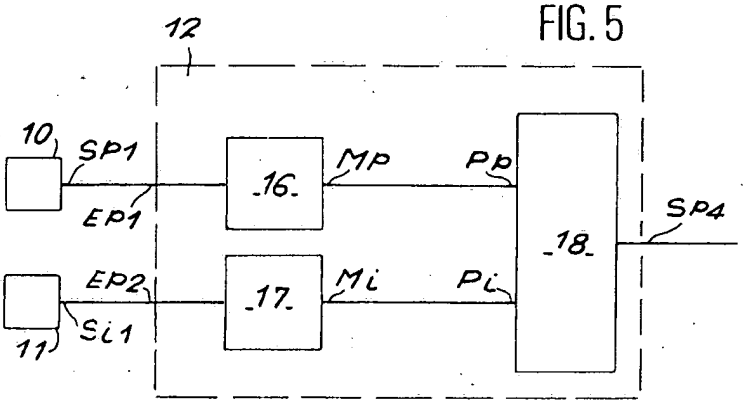
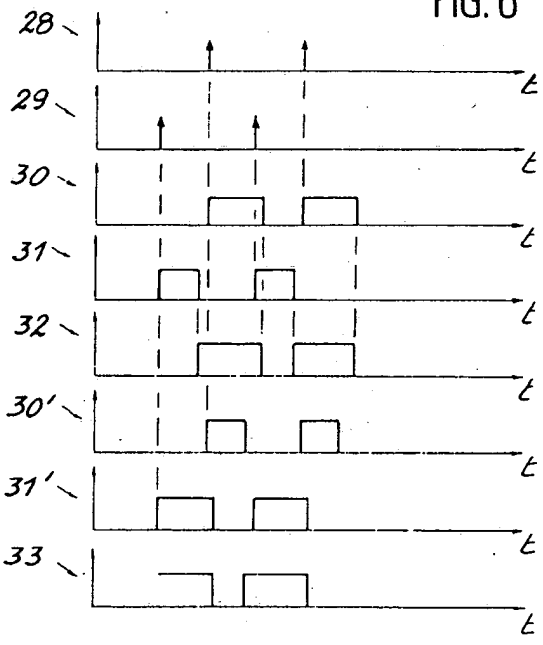

12
10
SP1
EP1
16
MP
Pp
18
SP4
EP2
17
Mi
Pi
11
Si1

FIG. 6


28
29
30
31
32
30'
31'
33
t